



北京大学
PEKING UNIVERSITY

人工智能的硬件基石：从物理器件到计算架构

2026年春季 - 作业1

起止时间：2026.3.30-2026.4.20

1、简单逻辑设计 (20分)

1) 利用CMOS静态逻辑电路, 实现: $Y = \overline{A(BC + DE) + AC} + E(F + \overline{ACD})$;

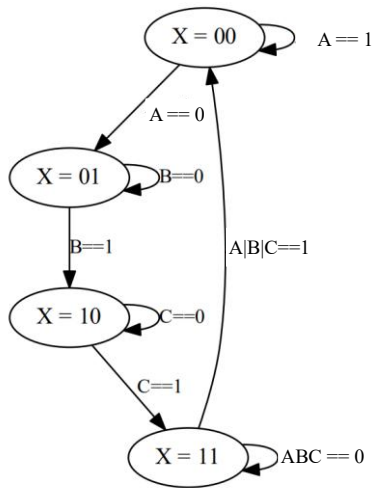
2) 简单讨论A、F两个信号的相对时序, 对以上逻辑电路的延迟影响。考虑以下情况: i) 如果A比F早到达; ii) 如果A比F晚到达。

2、布斯编码乘法 (20分)

使用Radix-8 Booth编码, 对两个8-bit补码整型数进行乘法运算。利用Radix-8 Booth编码计算乘法: 其中32为被乘数, -91为乘数, 具体步骤参考课程讲义内容。

3、有限状态机 (20分)

针对以下有限状态, X为状态, A、B、C均为输入, 列出状态、输入转移表, 利用简单逻辑门画出该有限状态机的电路实现图, 参考课程讲义内容。



4、立方根计算单元设计 (40分)

在课堂中，我们学习了如何设计加法器、乘法器、Winograd卷积加速核等。对于更复杂的逻辑功能，计算单元的设计变得尤为重要。假设某AI大模型芯片公司需要设计输入X为32比特整型数（补码INT32）、输出Y为16比特浮点数（FP16 包含 1bit 符号位、5bit 指数位、10bit 尾数位）的立方根（ $Y = \sqrt[3]{X}$ ）计算单元。

(1) 设计数字逻辑电路进行立方根计算，并利用Verilog进行硬件行为的比特级仿真与正确性验证。

(2) 研究所设计的立方根计算单元输出结果与电脑软件参考输出的误差（与输入大小是否相关？），并探索减小计算误差的方法及其可能造成的硬件面积、速度代价。

(清晰描述硬件设计思路：10分；完成行为级Verilog仿真：15分；简要分析误差产生的原因：5分；

减小计算误差的方法：10分)